

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07028093 A

(43) Date of publication of application: 31.01.95

(51) Int. Cl

G02F 1/136

G02F 1/1343

(21) Application number: 05195509

(71) Applicant: SONY CORP

(22) Date of filing: 13.07.93

(72) Inventor: HAMAZAKI MASAHIRO

(54) ACTIVE MATRIX SUBSTRATE FOR DISPLAY

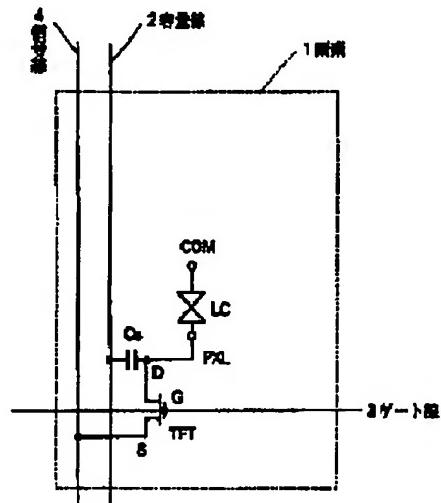
line 2.

(57) Abstract:

COPYRIGHT: (C)1995,JPO

PURPOSE: To improve the pixel opening rate of an active matrix substrate for display.

CONSTITUTION: This activematrix substrate for display includes pixels 1 arranged in matrix in the lateral and vertical directions. The each pixel 1 is composed of a thin-film transistor TFT, a pixel electrode PXL and a holding capacitance Cs. The pixel electrode PXL is connected to a drain D of the TFT. One end of the holding capacitance Cs is likewise connected to the drain D. The other end of the holding capacitance Cs is connected to a capacitance line 2. The gate G of the TFT is connected to a gate line 3. The source S of the TFT is connected to a signal line 4. The capacitance line 2 in such constitution is extended in the column direction in superposition on the signal line 4. On the other hand, the gate line 3 is extended in the row direction orthogonal with the capacitance



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-28093

(43)公開日 平成7年(1995)1月31日

(51)Int.Cl. [®] G 0 2 F 1/136 1/1343	識別記号 5 0 0	府内整理番号 9119-2K 8707-2K	F I	技術表示箇所
--	---------------	------------------------------	-----	--------

審査請求 未請求 請求項の数3 FD (全5頁)

(21)出願番号 特願平5-195509	(71)出願人 000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日 平成5年(1993)7月13日	(72)発明者 浜崎 正治 東京都品川区北品川6丁目7番35号 ソニ 一株式会社内

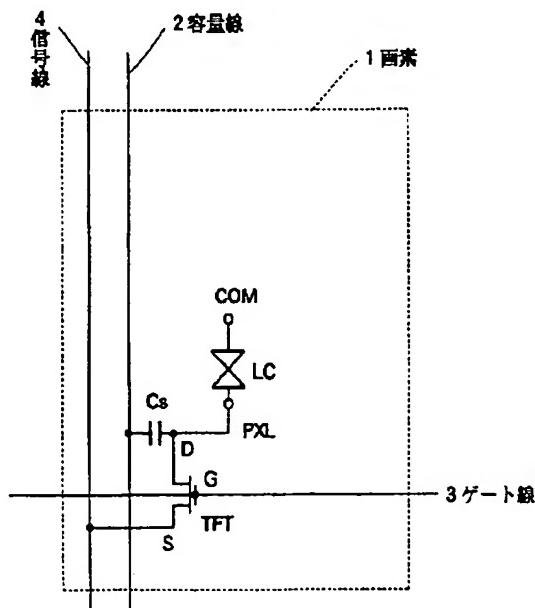
(74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 表示用アクティブマトリクス基板

(57)【要約】

【目的】 表示用アクティブマトリクス基板の画素開口率を改善する。

【構成】 表示用アクティブマトリクス基板は左右及び上下方向に行列配置した画素1を含んでいる。個々の画素1は、薄膜トランジスタTFTと画素電極PXLと保持容量Csとから構成されている。画素電極PXLはTFTのドレインDに接続されている。保持容量Csの一端は同じくドレインDに接続されている。保持容量Csの他端は容量線2に接続されている。TFTのゲートGはゲート線3に接続されている。TFTのソースSは信号線4に接続されている。かかる構成において、容量線2は信号線4と重複して列方向に延設されている。一方、ゲート線3は容量線2と直交して行方向に延設されている。



【特許請求の範囲】

【請求項1】 行列配置した薄膜トランジスタと、各薄膜トランジスタのドレインに接続され同じく行列配置した画素電極と、各薄膜トランジスタのドレインに接続され同じく行列配置した保持容量と、各行の薄膜トランジスタのゲートに接続し行方向に延設されたゲート線と、各列の薄膜トランジスタのソースに接続し列方向に延設された信号線と、各列の保持容量に接続し該信号線と重複して列方向に延設された容量線とを備えた表示用アクティブマトリクス基板。

【請求項2】 所定の形状にバタニングされた半導体薄膜からなる素子領域を含んでおり、該容量線は絶縁膜を介して該素子領域の一部と重なり合い前記保持容量を構成し、該ゲート線は絶縁膜を介して該素子領域の他部と交差し前記薄膜トランジスタのゲートを構成する請求項1記載の表示用アクティブマトリクス基板。

【請求項3】 前記素子領域は第1のポリシリコン層からなり、前記ゲート線は第2のポリシリコン層からなり、前記容量線は第3のポリシリコン層からなる請求項2記載の表示用アクティブマトリクス基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は表示用アクティブマトリクス基板に関する。より詳しくは画素に書き込まれた信号電圧を保持する為に用いられる保持容量の構成に関する。

【0002】

【従来の技術】 図4を参照して、表示用アクティブマトリクス基板を用いて組み立てられた従来の液晶表示装置の構成を簡潔に説明する。本図はマトリクス状に配列された画素の1個分に対応する等価回路図である。画素100(模式的に点線で囲まれた領域で示されている)は、画素電極PXLと対向電極COMとの間に挟持された液晶層からなる液晶容量LCを有している。液晶容量LCに書き込まれる画像信号を保持する為に保持容量Csが並列に接続されている。保持容量Csは液晶容量LCを含む画素100(点線で囲まれた領域)の一部を占めており、この分だけ画素開口率が犠牲になる。液晶容量LCを駆動する為に薄膜トランジスタ(TFT)が設けられている。TFTのドレインDは画素電極PXL及び保持容量Csの一方の端子に接続されている。保持容量Csの他方の端子は容量線101に接続されている。TFTのソースSは信号線102に接続されており、ゲートGはゲート線103に接続されている。ゲート信号に応答してTFTは導通し画像信号を液晶容量LCに書き込む。この時余分の電荷が保持容量Csにも蓄えられる。ゲート信号が解除されるとTFTは非導通状態になり書き込まれた画像信号が保持される。なお、保持容量を備えた表示用アクティブマトリクス基板は例えば特公平1-33833号公報に開示されている。

【0003】

【発明が解決しようとする課題】 図5は、図4に示したY-Y線に沿って切断した断面構造を模式的に表わしたものである。図示する様に、石英等からなる絶縁基板104の表面には、島状にバタニングされたポリシリコン膜が形成されており、素子領域105を構成する。図面上、素子領域105の左側にはTFTが形成され、右側には保持容量Csが形成されている。TFTは絶縁膜106を介して重ねられたゲート電極Gを含んでいる。このゲート電極Gは図4に示したゲート線103の一部から構成されている。ゲート電極Gの両側において素子領域105にはソース領域Sとドレイン領域Dが形成されている。ソース領域Sには配線電極107が接続されている。この配線電極107は図4に示した信号線102から延設されたものである。一方ドレイン領域Dには画素電極PXLが接続されている。

【0004】 保持容量Csは絶縁膜106を介して重ねられた容量線101によって構成されている。従来、この容量線101はゲート線103と同一の膜材料で構成されており、例えばポリシリコンが用いられる。容量線101とゲート線103を同一の膜材料で形成する関係上、容量線101はゲート線103と平行に行方向に配設されている。又、配線バタンのレイアウトの関係上、従来容量線101は画素電極PXLの直下を通過していた。容量線101はポリシリコン等から形成されており光学的に不透明であり、画素電極PXLの開口部を一部遮蔽してしまう。従って、従来の容量線配置構造では、画素開口率が犠牲になるという課題があった。

【0005】

【課題を解決するための手段】 上述した従来の技術の課題に鑑み、本発明は容量線のレイアウトを工夫して画素開口率の改善を図る事を目的とする。かかる目的を達成する為に以下の手段を講じた。即ち、本発明にかかる表示用アクティブマトリクス基板は、行列配置した薄膜トランジスタと、各薄膜トランジスタのドレインに接続され同じく行列配置した画素電極と、各薄膜トランジスタのドレインに接続され同じく行列配置した保持容量とを備えている。又、各行の薄膜トランジスタのゲートに接続し行方向に延設されたゲート線と、各列の薄膜トランジスタのソースに接続し列方向に延設された信号線と、各列の保持容量に接続し該信号線と重複して列方向に延設された容量線とを備えている。具体的には、所定の形状にバタニングされた半導体薄膜からなる素子領域を含んでおり、該容量線は絶縁膜を介して該素子領域の一部と重なり合い前記保持容量を構成する。一方ゲート線は絶縁膜を介して該素子領域の他部と交差し前記薄膜トランジスタのゲートを構成する。より具体的には、前記素子領域は第1のポリシリコン層からなり、前記ゲート線は第2のポリシリコン層からなり、前記容量線は第3のポリシリコン層からなる。

【0006】

【作用】本発明によれば容量線は列方向に延設されており、信号線と重複している。従って、画素電極を横切らないので画素開口率を犠牲にする事がない。一方、従来の構成では容量線は行方向に沿ってゲート線と平行にレイアウトされていた。この為、画素電極を横切る事になり、その分画素開口率が犠牲になっていた。

【0007】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる表示用アクティブマトリクス基板の基本的な構成を示す回路図である。本図は、表示用アクティブマトリクス基板を用いて組み立てられたアクティブマトリクス液晶表示装置の1画素分に対応する等価回路を表わしている。図示する画素1は左右方向並びに上下方向に行列配置されたもののうち1個を模式的に点線で囲って示したものである。画素1には薄膜トランジスタ(TFT)が含まれている。このTFTはゲートGとドレインDとソースSを備えた絶縁ゲート電界効果型のトランジスタである。ドレインDには画素電極PXLが接続されている。この画素電極PXLに所定の間隙を介して対向電極COMが対面配置されている。両者の間に液晶層が介在し、液晶容量LCを構成する。TFTのドレインDには保持容量Csの一方の端子が接続されている。保持容量Csの他方の端子は容量線2に接続されている。TFTのゲートGにはゲート線3が接続されている。又TFTのソースSには信号線4が接続されている。

【0008】図示する様に、ゲート線3は行方向に沿って延設されている。信号線4はこれと直交して列方向に延設されている。本発明の特徴事項として、容量線2は信号線4と重複して列方向に延設されている。

【0009】ゲート線3にゲート信号を印加するとTFTは導通状態になる。これと同期して信号線4を介し画像信号を供給すると、導通状態にあるTFTを介して液晶容量LCに信号電荷が充電される。充電電荷量に応じて画素電極PXLと対向電極COMの間に所定の電圧が印加され、液晶層の透過率が変化し所望の画像表示が行なわれる。この時、余分の信号電荷が保持容量Csにも蓄えられる。次にゲート信号が解除されると、TFTは非導通状態になり書き込まれた画像信号が保持される。この保持期間中液晶容量LCやTFTに電流リークが生じても、保持容量Csに蓄積された電荷がこれを補うので、所望の画像表示が維持できる。

【0010】図2は、図1に示した画素1の具体的な構成例を示す平面図である。図示する様に、二点鎖線で囲まれた部分が画素電極PXLである。又、一点鎖線で囲まれたバタンが信号線4を表わしている。この信号線4と重なる様に配置した実線で囲まれるバタンが容量線2を表わしている。一方、この容量線2と直交する様に配置した実線で囲まれたバタンがゲート線3を表わしてい

る。加えて、点線で囲まれた範囲は素子領域5を表わしている。この素子領域5は半導体薄膜を所定の形状にパタニングして得られたものである。

【0011】図から理解される様に、容量線2は信号線4と重なった状態で列方向に延設されており、画素電極PXLを横切らない様にレイアウトされている。従って、画素開口率が犠牲にならない。容量線2は絶縁膜を介して素子領域5の一部と重なり合い、保持容量Csを構成する。一方ゲート線3は絶縁膜を介して素子領域5の他部と交差し上述した薄膜トランジスタTFTのゲートGを構成する。このTFTのドレインDはコンタクトホールを介して画素電極PXLに接続されている。一方、TFTのソースSは同じくコンタクトホールを介して信号線4に電気接続されている。なお、ソースSのコンタクト部は容量線2と重ならない様にレイアウトされている。

【0012】図3は、図2に示した表示用アクティブマトリクス基板の断面構造を示す模式図である。(A)は、図2に示したA-A線に沿って切断した断面図である。なね、このA-A線はTFTのドレインコンタクト部を通るものである。同じく(B)は、図2に示したB-B線に沿って切断した断面図である。B-B線はゲート部を通過するものである。同じく(C)は、図2のC-C線に沿って切断した断面図である。このC-C線はTFTのソースコンタクト部を通るものである。

【0013】理解を容易にする為、先ず最初に(B)を参照して積層断面構造を説明する。石英等からなる絶縁基板6の表面には素子領域5が形成されている。この素子領域5は例えば第1のポリシリコン薄膜を所定の形状にパタニングしたものである。素子領域5の表面は絶縁膜7で被覆されている。素子領域5の上には絶縁膜7を介してゲート線3が行方向に横断している。ゲート線3と素子領域5の交差部でTFTのゲートGが形成される。このゲート線3は例えば第2のポリシリコン薄膜をライン状にパタニングしたものである。ゲート線3の上には第1層間膜8を介して容量線2が列方向に延設されている。列方向は紙面に対して垂直である。容量線2は例えば第3のポリシリコン薄膜をライン状にパタニングしたものである。さらに容量線2の上には第2層間膜9を介して信号線4が列方向に延設されている。この信号線4は例えばアルミニウム等の金属薄膜をライン状にパタニングしたものである。

【0014】次に(A)を参照すると、素子領域5の上には絶縁膜7を介して容量線2が直接接しており、保持容量Csを構成している。なお、この保持容量Csの部分からは、前述した第1層間膜8が除去されている。容量線2の上には第2層間膜9を介して信号線4が平行に配設されている。一方、TFTのドレインDには第1層間膜及び第2層間膜を貫通して設けられたコンタクトホールを介して画素電極PXLが電気接続されている。

【0015】最後に(C)を参照すると、TFTのソースSに、コンタクトホールを介して信号線4の延長された部分が電気接続されている。図示する様に、ソースSのコンタクト部は、容量線2と重複しない様なレイアウトとなっている。かかる積層構造によれば、容量線2は信号線4と重複して列方向に延設されており、画素電極PXLにかかる事がない。この様な積層構造を実現する為に、上述した様に例えばゲート線3と容量線2を別層のポリシリコン薄膜を用いる事になる。又、容量線2と信号線4の電気的な絶縁を図る為、追加の第2層間膜9が必要になる。

【0016】

【発明の効果】以上説明した様に、本発明によれば、容量線は信号線と重複して列方向に延設されている。従来の容量線がゲート線と平行に行方向に延設された構造と異なり、画素電極を横断する事がないので画素開口率が改善できるという効果が得られる。

【図面の簡単な説明】

【図1】本発明にかかる表示用アクティブマトリクス基板のバタン配線図である。

【図2】本発明にかかる表示用アクティブマトリクス基板の具体的な配線バタン例を示す模式的な平面図である。

* 【図3】本発明にかかる表示用アクティブマトリクス基板の積層構造を示す断面図である。

【図4】従来の表示用アクティブマトリクス基板の配線バタン図である。

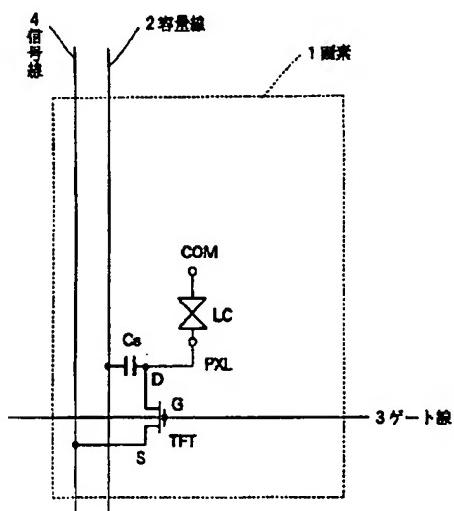
【図5】従来の表示用アクティブマトリクス基板の積層構造を示す模式的な断面図である。

【符号の説明】

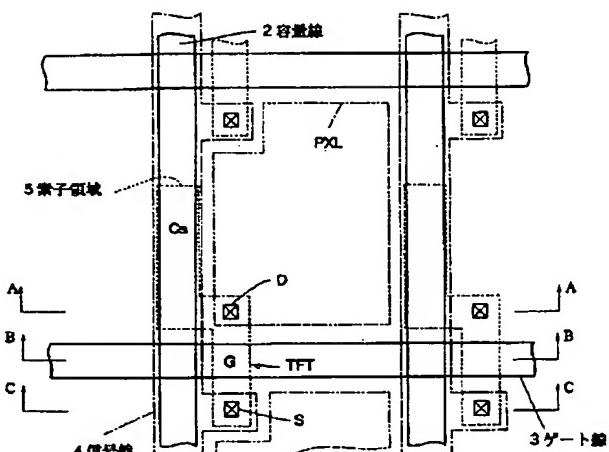
1	画素
2	容量線
3	ゲート線
4	信号線
5	素子領域
6	絶縁基板
7	絶縁膜
8	第1層間膜
9	第2層間膜
TFT	薄膜トランジスタ
Cs	保持容量
PXL	画素電極
G	ゲート
D	ドレイン
S	ソース

*

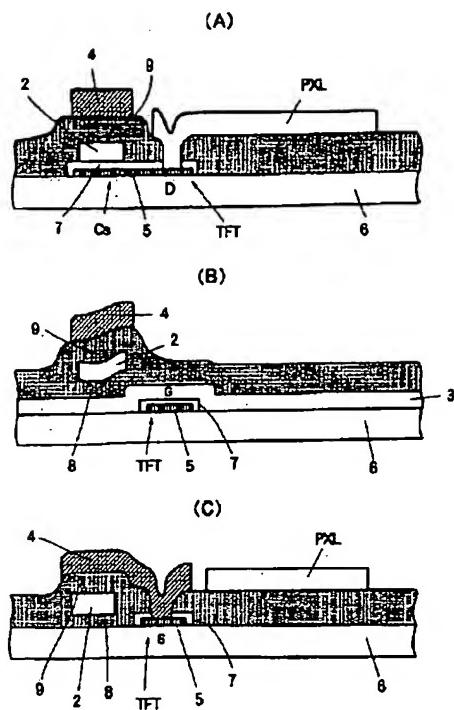
【図1】



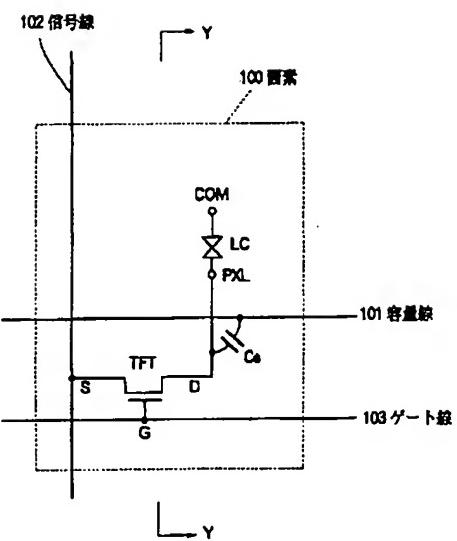
【図2】



【図3】



【図4】



【図5】

